

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 4 日
Date of Application:

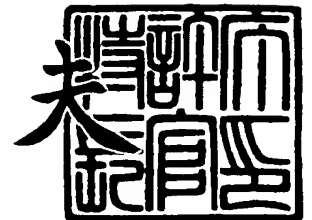
出 願 番 号 特 願 2 0 0 3 - 1 0 2 1 1 8
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 0 2 1 1 8]

出 願 人 シャープ株式会社
Applicant(s):

2 0 0 4 年 2 月 2 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 3 5 0 2

【書類名】 特許願

【整理番号】 02J04990

【提出日】 平成15年 4月 4日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/765

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 アルベルト オー. アダン

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100080034

【弁理士】

【氏名又は名称】 原 謙三

【電話番号】 06-6351-4384

【選任した代理人】

【識別番号】 100113701

【弁理士】

【氏名又は名称】 木島 隆一

【選任した代理人】

【識別番号】 100116241

【弁理士】

【氏名又は名称】 金子 一郎

【手数料の表示】

【予納台帳番号】 003229

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208489

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 集積回路

【特許請求の範囲】

【請求項 1】

積層した金属配線層が電磁アイソレーション構造を形成し、前記金属配線層は金属配線層間の複数のビアによって互いに接続され、

前記各金属配線層がビアにより接続されることにより積層構造の金属フェンスが形成され、

前記金属フェンスは、対象素子を取り囲むように配置されると共に、

電磁波の $Skin\ depth$ を δ とし、 c を光速とし、集積回路の動作周波数を f とし、金属フェンス領域の横方向寸法を d とし、金属フェンスの取り囲み線幅を WF とし、ビア間隔を L とし、信号の波長 $\lambda = c / f$ とするとき、

$$d \leq \lambda / 8、$$

$$WF \geq 5 \delta、$$

$$L \leq \lambda / 20$$

であることを特徴とする集積回路。

【請求項 2】

金属フェンスの直下に、基板と同一導電性を有する第 1 拡散層からなるガードリンクを備え、前記ガードリンクは固定電位に接続されると共に、前記ガードリンクは、金属フェンスと電氣的に分離されていることを特徴とする請求項 1 に記載の集積回路。

【請求項 3】

上記対象素子の下方に基板と接合するウェルを有することを特徴とする請求項 1 に記載の集積回路。

【請求項 4】

上記対象素子の下方に、基板と同一導電型の第 2 拡散層を有し、前記第 2 拡散層は固定電位に接続されると共に、金属フェンスと電氣的に分離されていることを特徴とする請求項 1 に記載の集積回路。

【請求項 5】

上記第2拡散層の面積は、金属フェンスにより取り囲まれる面積と同等であることを特徴とする請求項4に記載の集積回路。

【請求項6】

上記第2拡散層はサリサイド拡散層からなることを特徴とする請求項5に記載の集積回路。

【請求項7】

上記第2拡散層はサリサイド化されたポリシリコン層からなることを特徴とする請求項5に記載の集積回路。

【請求項8】

上記金属フェンス構造を有する複数の素子において、その間は基板であることを特徴とする請求項1に記載の集積回路。

【請求項9】

上記金属フェンス構造を有する素子において、他の金属フェンス構造を持たない素子との間は基板であることを特徴とする請求項1に記載の集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、集積回路に関するものであり、特にRF周波数領域での電磁的カップリングを考慮すべき集積回路に関するものである。

【0002】

【従来の技術】

システムオンチップ（SOC）は、一つのチップ内に、デジタル、アナログ、高周波等からなる複数の信号や回路を集積化されたものである。今、図11に示すように、これらの回路ブロックの相互作用、特にシリコン基板を通してアナログ回路やRF回路にカップリングするデジタルスイッチングノイズは、デバイス特性を低下させる。このようなデジタルスイッチングノイズの基板を介してのカップリングの低減に対し、深いNウェルを用いることがCMOS混載デバイス設計においては、良く知られている。しかしながら、RF回路が同一チップに集積化された場合、RF回路ブロック間（基板を介する電氣的カップリングと基板よ

り上方の磁気的カップリング)の干渉が関係するようになる。RFカップリングの程度は、使用する周波数と共に増加する。更に、スパイラルインダクタのような大きな面積を有するRF受動素子では、シリコン基板と受動素子間、および隣接するデバイスと容易くカップリングしてしまう。例えば、Low Noise Amplifier (LNA)の入力と、1.5GHzのRF周波数で動作するVCOとがカップリングすると、VCOの大きな信号(典型的には~1V)により、アンテナ信号(一般的には数マイクロV)を検知するための感度が低下してしまう。

【0003】

スパイラルインダクタースパイラルインダクタ間カップリングのように、RFデバイス同士のカップリングの影響を抑えるために、下記に示すいくつかの技術が提案されている。

- (1) 干渉するデバイス間のスペースを大きくとる技術。
- (2) スパイラルインダクタ下方にパターン化した接地シールド層を配置する技術(非特許文献1)。
- (3) Deep Trench Guard技術(非特許文献2)。
- (4) 少なくとも3面において信号線を囲うようなFaraday cageによって金属配線のシールド技術(特許文献1)。
- (5) 金属配線を囲う金属cageシールド技術(特許文献2)。

【0004】

なお、この目的は金属シールド構造により回路ブロックの金属接続線との容量結合を減少させることにあり、それらのシールド構造は、GNDに接続されている。この従来例の構造(EMC EXP0 1996)は、本質的にPCBに用いられる技術(回路間をアイソレーションし、かつEMIを減少させる技術)(非特許文献3)と類似している。

【0005】

【特許文献1】

米国特許第6307252号明細書(公開日平成13年10月23日)

【0006】

【特許文献 2】

特開平 10-256250 号公報 (公開日平成 10 年 9 月 25 日)

【0007】

【非特許文献 1】

“On-Chip Spiral Inductors with Patterned Ground Shields for Si-Based RF IC's”、IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol.33, No.5, May 1998, pp.743-752

【0008】

【非特許文献 2】

“Deep Trench Guard Technology to Suppress Coupling between Inductors in Silicon RF ICs”、2001 IEEE

【0009】

【非特許文献 3】

“FUTURE EMC TRENDS IN PC BOARD DESIGN”、昭和 61 年 6 月 16 日～19 日、EMC EXPO 1996、インターネット<URL: <http://www.blackmagic.com/ses/bruceeg/EMC/futurePCB.html>>

【0010】

【発明が解決しようとする課題】

しかしながら、上述した方法では次のような問題を有している。

【0011】

干渉するデバイス間の大きなスペースは、チップサイズ及びコストの増大を招く。

【0012】

スパイラルインダクタの下方にパターン化された GND シールドの配置は、スパイラルインダクタの Q ファクタを低下させる。更に、この技術は RF 周波数帯域では効果があるが (基板を介してのカップリング低減)、電磁的カップリング (基板上部の磁気カップリング) を抑制するには効果がない。

【0013】

また、非特許文献 2 の技術は、通常の CMOS プロセスと互換性がなく、結果

的に高価なプロセスとなる。

【0014】

また、特許文献1の技術は、金属配線に対してノイズを防止するものである。そのため、特許文献1や特許文献2に記載された技術は、金属線をシールドはするが、シリコン基板から／或いはシリコン基板を通ってくるピックアップノイズやカップリングノイズを抑圧することができない。

【0015】

さらに、これらの何れの技術もカップリングを増幅するような活性なトランジスタとの相互作用を扱っていない。例として、図12はスパイラルインダクタと隣接するトランジスタからなるテストパターンを示している。信号がスパイラルインダクタに印加された時、理想的には如何なるカップリングもしないで、トランジスタのドレインで測定される信号は、0であるべきである。

【0016】

しかしながら、図13から明らかなように、入出力間の結合度 (S_{21}) と周波数の関係は、明らかにカップリングしていることを示している。トランジスタがOFF ($I_d = 0$) の場合においてさえも、まだ基板側のパス経路によるカップリングのため、高周波領域で入出力結合度が増加しているのが分かる。

【0017】

一方、トランジスタがONの場合には、信号はスパイラルインダクタとトランジスタのゲートラインとの電磁的カップリングにより、信号が転送されてしまう。

【0018】

混載信号ICにおいて、Deep Nウェル技術は、一般的にシリコン基板を通るデジタルノイズカップリングを抑圧するのに用いられる。このようにDeep Nウェル技術は、図12に示すスパイラルインダクタとトランジスタ構造に適用され、入出力間結合度 S_{21} の値は、図14に示すように、おおよそ5db程度減少させる効果はあるが、RF LNAのようなシビアな応用デバイスに対しては、まだまだ十分でない。

【0019】

本発明は、上記問題点に鑑みなされたものであり、その目的は、標準 IC プロセスと互換性があり、電磁的や基板を介するカップリングノイズを低減することができる集積回路を提供することにある。

【0020】

【課題を解決するための手段】

上記の課題を解決するため、本発明に係る集積回路は、積層した金属配線層が電磁アイソレーション構造を形成し、前記金属配線層は金属配線層間の複数のビアによって互いに接続され、前記各金属配線層がビアにより接続されることにより積層構造の金属フェンスが形成され、前記金属フェンスは、対象素子を取り囲むように配置されると共に、電磁波の $Skin\ depth$ を δ とし、 c を光速とし、集積回路の動作周波数を f とし、金属フェンス領域の横方向寸法を d とし、金属フェンスの取り囲み線幅を WF とし、ビア間隔を L とし、信号の波長 $\lambda = c/f$ とするとき、 $d \leq \lambda/8$ 、 $WF \geq 5\delta$ 、 $L \leq \lambda/20$ であることを特徴としている。

【0021】

上記の構成により、電磁波の $Skin\ depth$ δ 、金属フェンス領域の横方向寸法 d 、金属フェンスの取り囲み線幅 WF 、ビア間隔 L 、信号の波長 λ 間の関係が規定される。

【0022】

したがって、電磁的や基板を介するカップリングノイズを低減することができる。

【0023】

また、本発明に係る集積回路は、上記の構成に加えて、金属フェンスの直下に、基板と同一導電型を有する第1拡散層からなるガードリンクを備え、前記ガードリンクは固定電位に接続されると共に、前記ガードリンクは、金属フェンスと電氣的に分離されていることを特徴としている。

【0024】

上記の構成により、基板と同一導電型を有する第1拡散層からなるガードリンクが金属フェンスの直下に備えられ、ガードリンクは固定電位に接続されると共

に、金属フェンスと電氣的に分離されている。したがって、上記の構成による効果に加えて、電磁的や基板を介するカップリングノイズをより効果的に低減することができる。

【0025】

また、本発明に係る集積回路は、上記の構成に加えて、上記対象素子の下方に基板と接合するウェルを有することを特徴としている。

【0026】

上記の構成により、ウェルが、上記対象素子の下方に基板と接合している。したがって、上記の構成による効果に加えて、電磁的や基板を介するカップリングノイズをより効果的に低減することができる。

【0027】

また、本発明に係る集積回路は、上記の構成に加えて、上記対象素子の下方に、基板と同一導電型の第2拡散層を有し、前記第2拡散層は固定電位に接続されると共に、金属フェンスと電氣的に分離されていることを特徴としている。

【0028】

上記の構成により、基板と同一導電型を有する第2拡散層が金属フェンスの下方に備えられ、ガードリンクは固定電位に接続されると共に、金属フェンスと電氣的に分離されている。したがって、上記の構成による効果に加えて、電磁的や基板を介するカップリングノイズをより効果的に低減することができる。

【0029】

また、本発明に係る集積回路は、上記の構成に加えて、上記第2拡散層の面積は、金属フェンスにより取り囲まれる面積と同等であることを特徴としている。

【0030】

上記の構成により、第2拡散層の面積は、金属フェンスにより取り囲まれる面積と同等である。したがって、上記の構成による効果に加えて、より効率的に電磁的や基板を介するカップリングノイズを低減することができる。

【0031】

また、本発明に係る集積回路は、上記の構成に加えて、上記第2拡散層はサリサイド拡散層からなることを特徴としている。

【0032】

上記の構成により、上記第2拡散層はサリサイド拡散層からなる。したがって、上記の構成による効果に加えて、電磁的や基板を介するカップリングノイズをより効果的に低減することができる。

【0033】

また、本発明に係る集積回路は、上記の構成に加えて、上記第2拡散層はサリサイド化されたポリシリコン層からなることを特徴としている。

【0034】

上記の構成により、上記第2拡散層はサリサイド化されたポリシリコン層からなる。したがって、上記の構成による効果に加えて、電磁的や基板を介するカップリングノイズをより効果的に低減することができる。

【0035】

また、本発明に係る集積回路は、上記の構成に加えて、上記金属フェンス構造を有する複数の素子において、その間は基板であることを特徴としている。

【0036】

上記の構成により、上記金属フェンス構造を有する複数の素子において、その間は基板である。すなわち、該場所には拡散層を設けない。したがって、上記の構成による効果に加えて、拡散層を設ける必要を省いて、より効率的に電磁的や基板を介するカップリングノイズを低減することができる。

【0037】

また、本発明に係る集積回路は、上記の構成に加えて、上記金属フェンス構造を有する素子において、他の金属フェンス構造を持たない素子との間は基板であることを特徴としている。

【0038】

上記の構成により、上記金属フェンス構造を有する素子において、他の金属フェンス構造を持たない素子との間は基板である。すなわち、該場所には拡散層を設けない。したがって、上記の構成による効果に加えて、拡散層を設ける必要を省いて、より効率的に電磁的や基板を介するカップリングノイズを低減することができる。

【0039】

【発明の実施の形態】

本発明の実施の一形態について図1ないし図10に基づいて説明すれば、以下の通りである。

【0040】

本発明は集積回路における回路ブロックの電磁アイソレーションに関し、特にRF周波数領域での電磁的カップリングを減らすためのより効果的な電磁アイソレーション構造を提示するものである。また、この構造は標準的なCMOS、BiCMOS、或いはバイポーラプロセスに有効な技術である。以下に述べる構成例はすべて、高周波領域での電磁的カップリング及び基板クロストークを防止することができるものである。ここで、回路ブロックは、集積回路内で電磁界を発生させる素子（対象素子）としての、高周波デバイスであり、例えば、スパイラルインダクタ等の受動部品である。

【0041】

本実施の形態に係る構成は、回路ブロック間、回路ブロックと相互接続配線間の電磁的カップリングを、接地した金属フェンスを用いることにより抑圧するものである。金属フェンスは全体が導体であり、V_{dd}またはGNDなどの固定（一定）電位に金属配線により接続することができる。金属フェンスは金属配線層が積層されたものであり、ビアにより接続されている。また、金属フェンスは、回路ブロックを完全に或いは部分的に取り囲んでいる。シールド層、例えばGND電位に接続されたP⁺、N⁺、Nウェル拡散層は、高周波での基板を経由するカップリングを抑圧する。更に、Deep Nウェルはトランジスタのバックゲートカップリングを抑圧するために、金属フェンスと組み合わせて用いることが可能である。

【0042】

なお、以下に述べる構成例はすべて、公知の一般的なSi-ICプロセスで製造することができる。このため製造工程の説明は省略する。すなわち、本発明は、如何なる付加的な、或いはプロセス変形を必要としない。また、本発明の構造は、通常のICプロセスにおける、金属配線層や拡散層の形成時において、その

パターンを工夫し正しく配置することによりなされる。

【0043】

以下に、電磁的なアイソレーション構造の詳細を説明する。なお、以下の説明では4層金属プロセスを例に取り説明するが、如何なる金属配線層数に対しても適用可能であることはいうまでもない。

【0044】

図1、及び図2は、それぞれ、本願発明の集積回路21において、スパイラルインダクタを囲む電磁的な金属フェンス20を示している。また、図3は、本願発明の一つである金属フェンス構造を詳細に図示している。そこでは、金属フェンスの直下、すなわち、金属フェンスの下方であって縦方向からみて金属フェンスと同じ位置に、シリコン製の基板1と同一導電型を有する拡散層からなるガードリンク3（第1拡散層）を備えている。そして、金属フェンスは全ての金属配線層5, 7, 9, 11を積層した形で使用され、このガードリンク3と同時に作用する。なお、図中、2は、素子分離領域を示している。素子分離領域2は、SiO₂を用いたSiプロセスの一般的な素子分離である。

【0045】

また金属フェンス20は、金属配線層で積層され、ビア6, 8, 10によって垂直方向に互いに接続され、回路ブロックを全体的または部分的に取り囲んでいる。

【0046】

図2の例では、金属フェンスはスパイラルインダクタ12を取り囲んでいる。

【0047】

また、金属フェンス11と回路ブロックとしてのスパイラルインダクタ12間の隙間SF（図2に記載）の値は、金属フェンスが取り囲んでいる回路ブロック（図2の場合はスパイラルインダクタ）の電気的特性を変化させないような値を選ぶことが重要である。即ち、上述した隙間SFはアプリケーションに応じて決められることが必要であり、典型的には $SF > 25 \mu m$ である。また、幅WFは金属フェンスの低抵抗化と電磁フィールドの影響を十分に減少できるように選ばれる。また、電磁的カップリングを抑制するための金属フェンスの有効性は、積

層構造における金属フェンス幅及びビアの距離にも依存する。

【0048】

基本的には、表皮深さ（どこまで電磁界が入り込むかの程度）を δ とする。すなわち、 δ は、電磁波のSkin depth、つまり、電磁的カップリングの起こる、集積回路表面からの最大深さである。このとき、

$$\delta = \{ \rho / (\pi \mu f) \}^{1/2}$$

（ここで、 ρ は金属フェンスの抵抗率、 μ は透磁率、 f は動作周波数：1～5 GHz）であり、回路内の一番速い信号の波長が

$$\lambda = c / f$$

であるならば、

金属フェンスの幅 $WF \geq 5 \delta$ 、

ビアの間隔 $\leq \lambda / 20$

の条件を満足すれば、電磁的カップリングの影響がほぼなくなる。ここで c は光速を表している。

【0049】

なお、典型的な値として、AlCuの材料を用い、厚さが0.6～1.5 μ mの場合には、 $WF > 5 \mu$ mが使用される。AlCu以外では、例えばAlSi, Al, Au, Cu等が使用可能である。

【0050】

本願の金属アイソレーションフェンスの効果が、図4に示されている。図12と同一のテスト構造（即ち、金属フェンス20によって取り囲まれたスパイラルインダクタを有する構造）に適用された。その結果、金属アイソレーションのない従来パターンと比較し、約20 dBの入出力間結合度S21の減少を達成することが可能となる。Sパラメータは電磁波の伝搬を基礎にしたもので、その中でS21は今回のケースではアイソレーション（分離）を示す。S21が低いほどアイソレーションが良く、基板クロストークの影響が小さいといえる。

【0051】

金属フェンス全体の高さは、電磁界を発生する素子と同層以上の金属配線層とすればよい。また、層数は設計に沿って決定すればよく、また、一層の厚み、ビ

アの高さ、ビアの直径などはプロセスにより決定すればよい。

【0052】

上記図1の構成において、積層される金属配線層の金属フェンスは適宜変更可能である。また、隣接する回路ブロックとの電磁的カップリングを減少させるためのフェンスの効果は、積層する金属配線層の数に依存する。

【0053】

回路ブロックが高周波デバイスであって、基板との寄生容量により特性が劣化する等の理由から、もし、取り囲まれた回路ブロック、すなわち電磁界を発生する素子が最上層の金属配線層を用いて形成されている場合には、拡散層からなるガードリンク3やボトム金属配線層（最下層の金属配線層）を設けるよりも、金属フェンスとしては、最上層の金属配線層を設けたほうが効果的である。すなわち、金属フェンスに用いる金属配線層としては、電磁界を発生する素子と同層以上の金属配線層が必要である。図5は拡散層からなるガードリンク3やボトム金属配線層を使用しない金属アイソレーションフェンスの構造を示している。

【0054】

図6は、上記のように最上層の金属配線層に二つのスパイラルインダクタを設けた場合に、二つのスパイラルインダクタ間の入出力間結合度 S_{21} (dB) の実験結果を要約したものである。ここでは、二つのスパイラルインダクタは $100\mu\text{m}$ 離されており、スパイラルインダクタの一つが、異なった金属配線層（第1金属配線層～第4金属配線層）で作られた金属フェンスにより取り囲まれている。

【0055】

なお、表面から遠い順に第1金属配線層、第2金属配線層、第3金属配線層、第4金属配線層である。基板に最も近い金属配線層が第1金属配線層である。「○」、「◎」はいずれも、金属配線層が形成されていることを表し、空欄は金属配線層が形成されていないことを表す。第4金属配線層側から「○」、第1金属配線層側から「◎」としている。

【0056】

電磁アイソレーションの効果を更に改善するために、特に高周波の場合におい

て、図7に示すように、金属フェンス20により取り囲まれた回路ブロック下方に、Nウェル30（第2拡散層）と組み合わせるとより効果がある。

【0057】

Nウェル30の面積は、金属フェンス20により取り囲まれる面積（すなわち、回路ブロックの面積）と同等である（例えば、等しい）。

【0058】

なお、図7は回路ブロック下方にNウェルを設け、基板はPsubである場合であるが、逆に、回路ブロック下方にPウェルを設け、基板をNsubとする構成とすることもできる。

【0059】

更に、基本構造の別の変形例として、電磁アイソレーションは、低抵抗層40と組み合わせることも可能である。その場合、低抵抗層40は、基板領域の導電型と同一であり、図8に示されるように固定電位に接続される。固定電位はVdまたはGNDのことで、金属配線により接続する。なお、この低抵抗層40の形成は、高濃度のサリサイド拡散層またはサリサイド化されたポリシリコン層で形成される。また、この構造は、スパイラルインダクタのように、取り囲まれた回路ブロックが基板内に搭載されていない場合に適用されうる。

【0060】

また、保護されるべき（取り囲まれた）回路領域のサイズ（一辺の長さ）をdとし、該回路領域の面積をAreaとすると、

$$d = \text{Area}^{1/2}$$

となる。また、電磁アイソレーションフェンスの関係は、動作周波数に（即ち波長 $\lambda = c/f$ ）依存する。なお、上記dの式は保護されるべき（取り囲まれた）回路領域が例えば正方形のときに成り立つが、それ以外にも、保護されるべき（取り囲まれた）回路領域が例えば円形の場合でも同一の計算式であり、回路領域が正方形でも円でもdの値にあまり差はない。回路領域が円形の場合には金属フェンスも円形に形成し、サイズdは直径を表す。

【0061】

もし $d \leq \lambda/8$ であれば、電磁放射は金属フェンスから出たり入ったりしなく

なる。結果的に従来例（特許文献 2）のようなボトム或いはトップのカバー金属は必要でなくなる。

【0062】

なお、酸化膜を誘電層として用いる IC に対して、
 $c \sim 1.5 \times 10^{10} \text{ cm/秒}$, $f = 5 \text{ GHz}$, $\lambda \sim 3 \text{ cm}$
の時、回路領域のサイズが $d = 350 \mu\text{m}$ の回路ブロックでは、トップ或いはボトムの金属シールド層なしに電磁フェンスによって取り囲むのみで、電磁的カップリングを抑制することが可能である。

【0063】

更に、回路ブロック間の高周波領域でのカップリングは、主として基板を経路としている。基板カップリングを減少するために、上述した金属アイソレーションフェンスは、シリコン領域に作り込まれた回路構成要素（例えばスパイラルインダクタ、キャパシタ）と組み合わせられる。その領域では、図 9 に示すように、通常の中ぐらいにドーピングされたウェル（t a b s）としての N ウェル 51 および P ウェル 52 のみを配置することでも十分な抑制効果がある。すなわち、図 9 に示すように、回路ブロック 25 間はドーピングされていないが、基板 1 を P s u b にすることで、基板抵抗が大きくなることから、ドーピングの程度が通常の中ぐらいのものであっても十分に基板ノイズを抑制することができる。

【0064】

結果として、回路ブロック 25 間のシリコン領域は、高い抵抗率を有する基板となり、カップリングする基板のインピーダンスが大きくなり、高周波領域での回路間のカップリングが減少することになる。

【0065】

このように、金属フェンス構造を有する複数の素子（回路ブロック 25）において、その間は基板 1 であるように構成することができる。また、図 10 に示すように、金属フェンス構造を有する素子において、他の金属フェンス構造を持たない素子との間は基板 1 であるように構成することができる。

【0066】

特許文献 2 のピクトフェンスは、回路や素子を横方向（金属配線層の積層で

）に取り囲んだ金属配線層を示しており、且つ少なくとも回路や素子のトップ或いは下方に金属配線層によって2次元的な表面を有している。更に、特許文献2においては、金属の積層は、基板の拡散層に接続されている。

【0067】

一方、本発明の金属スタック構造は基板の拡散層に接続されることを必要としない。これにより、設計を単純にすることができる。また、本発明の金属フェンスは横方向寸法 d が $d < \lambda / 8$ となるように回路或いは素子を取り囲んでいるため、トップ金属シールド層は用いる必要がない。

【0068】

以上述べたように、本発明は、RF回路ブロック間の磁氣的、容量的、及び基板カップリングを効果的に抑制するものである。したがって、金属の電磁アイソレーション技術は、如何なる特別なプロセスを必要としない。その結果、標準的なICプロセスと互換性がある。また、効果的な電磁アイソレーションが認められた。即ち、臨界的なRF回路ブロック間の間隔が少なくとも電磁アイソレーションが可能である。結果としてチップサイズをより小さくすることが可能となる。

【0069】

【発明の効果】

以上のように、本発明に係る集積回路は、積層した金属配線層が電磁アイソレーション構造を形成し、前記金属配線層は金属配線層間の複数のビアによって互いに接続され、前記各金属配線層がビアにより接続されることにより積層構造の金属フェンスが形成され、前記金属フェンスは、対象素子を取り囲むように配置されると共に、電磁波の $Skin\ depth$ を δ とし、 c を光速とし、集積回路の動作周波数を f とし、金属フェンス領域の横方向寸法を d とし、金属フェンスの取り囲み線幅を WF とし、ビア間隔を L とし、信号の波長 $\lambda = c / f$ とするとき、 $d \leq \lambda / 8$ 、 $WF \geq 5\delta$ 、 $L \leq \lambda / 20$ である構成である。

【0070】

これにより、電磁的や基板を介するカップリングノイズを低減することができるという効果を奏する。

【0071】

また、本発明に係る集積回路は、上記の構成に加えて、金属フェンスの直下に、基板と同一導電型を有する第1拡散層からなるガードリンクを備え、前記ガードリンクは固定電位に接続されると共に、前記ガードリンクは、金属フェンスと電氣的に分離されている構成である。

【0072】

これにより、上記の構成による効果に加えて、電磁的や基板を介するカップリングノイズをより効果的に低減することができるという効果を奏する。

【0073】

また、本発明に係る集積回路は、上記の構成に加えて、上記対象素子の下方に基板と接合するウェルを有する構成である。

【0074】

これにより、上記の構成による効果に加えて、電磁的や基板を介するカップリングノイズをより効果的に低減することができるという効果を奏する。

【0075】

また、本発明に係る集積回路は、上記の構成に加えて、上記対象素子の下方に、基板と同一導電型の第2拡散層を有し、前記第2拡散層は固定電位に接続されると共に、金属フェンスと電氣的に分離されている構成である。

【0076】

これにより、上記の構成による効果に加えて、電磁的や基板を介するカップリングノイズをより効果的に低減することができるという効果を奏する。

【0077】

また、本発明に係る集積回路は、上記の構成に加えて、上記第2拡散層の面積は、金属フェンスにより取り囲まれる面積と同等である構成である。

【0078】

これにより、上記の構成による効果に加えて、より効率的に電磁的や基板を介するカップリングノイズを低減することができるという効果を奏する。

【0079】

また、本発明に係る集積回路は、上記の構成に加えて、上記第2拡散層はサリ

サイド拡散層からなる構成である。

【0080】

これにより、上記の構成による効果に加えて、電磁的や基板を介するカップリングノイズをより効果的に低減することができるという効果を奏する。

【0081】

また、本発明に係る集積回路は、上記の構成に加えて、上記第2拡散層はサリサイド化されたポリシリコン層からなる構成である。

【0082】

これにより、上記の構成による効果に加えて、電磁的や基板を介するカップリングノイズをより効果的に低減することができるという効果を奏する。

【0083】

また、本発明に係る集積回路は、上記の構成に加えて、上記金属フェンス構造を有する複数の素子において、その間は基板である構成である。

【0084】

これにより、上記の構成による効果に加えて、拡散層を設ける必要を省いて、より効率的に電磁的や基板を介するカップリングノイズを低減することができるという効果を奏する。

【0085】

また、本発明に係る集積回路は、上記の構成に加えて、上記金属フェンス構造を有する素子において、他の金属フェンス構造を持たない素子との間は基板である構成である。

【0086】

これにより、上記の構成による効果に加えて、拡散層を設ける必要を省いて、より効率的に電磁的や基板を介するカップリングノイズを低減することができるという効果を奏する。

【図面の簡単な説明】

【図1】

本発明に係る集積回路の金属フェンスの一構成例を示す平面図である。

【図2】

図 1 の構成を示す A-A' 矢視断面を含んだ斜視図である。

【図 3】

図 1 の構成を示す斜視図である。

【図 4】

入出力間結合度 S₂₁ と周波数との関係を示すグラフである。

【図 5】

本発明に係る集積回路の金属フェンスの他の構成例を示す斜視図である。

【図 6】

入出力間結合度 S₂₁ を示す図である。

【図 7】

本発明に係る集積回路の金属フェンスのさらに他の構成例を示す斜視図である。

【図 8】

本発明に係る集積回路の金属フェンスのさらに他の構成例を示す斜視図である。

【図 9】

本発明に係る集積回路の金属フェンスのさらに他の構成例を示す斜視図である。

【図 10】

本発明に係る集積回路の金属フェンスのさらに他の構成例を示す斜視図である。

【図 11】

同一チップ内にアナログ／デジタルデバイスが混載された場合の相互干渉を示す図である。

【図 12】

テストパターンを示す平面図である。

【図 13】

入出力間結合度 S₂₁ の周波数依存を示すグラフである。

【図 14】

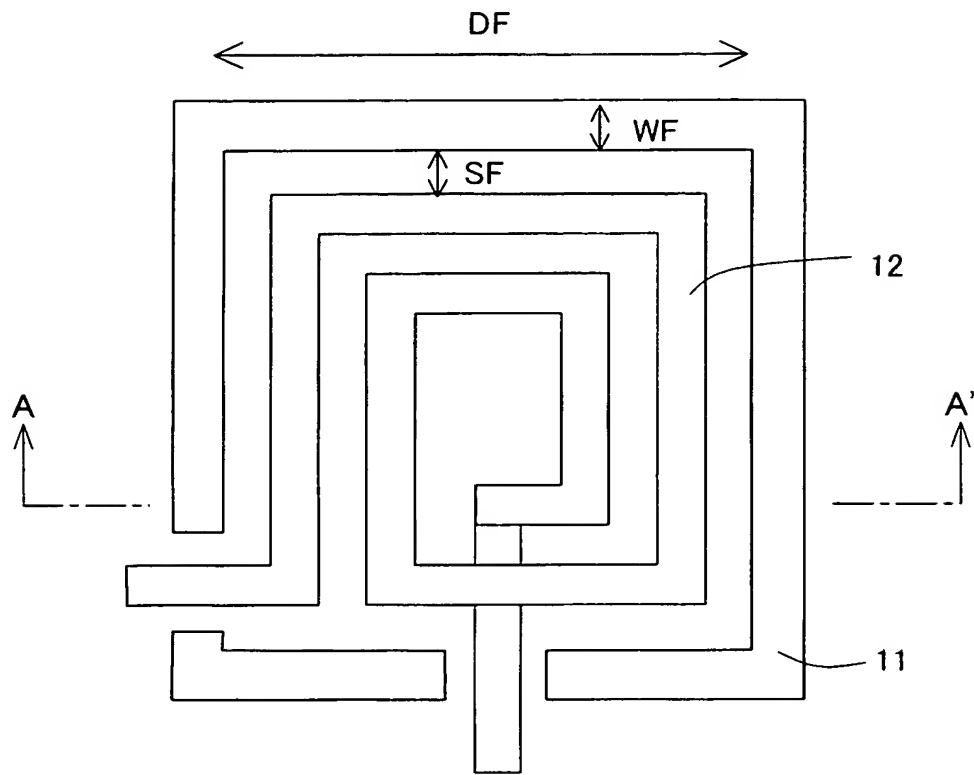
D e e p Nウェルを設けた時の S 2 1 の効果を示すグラフである。

【符号の説明】

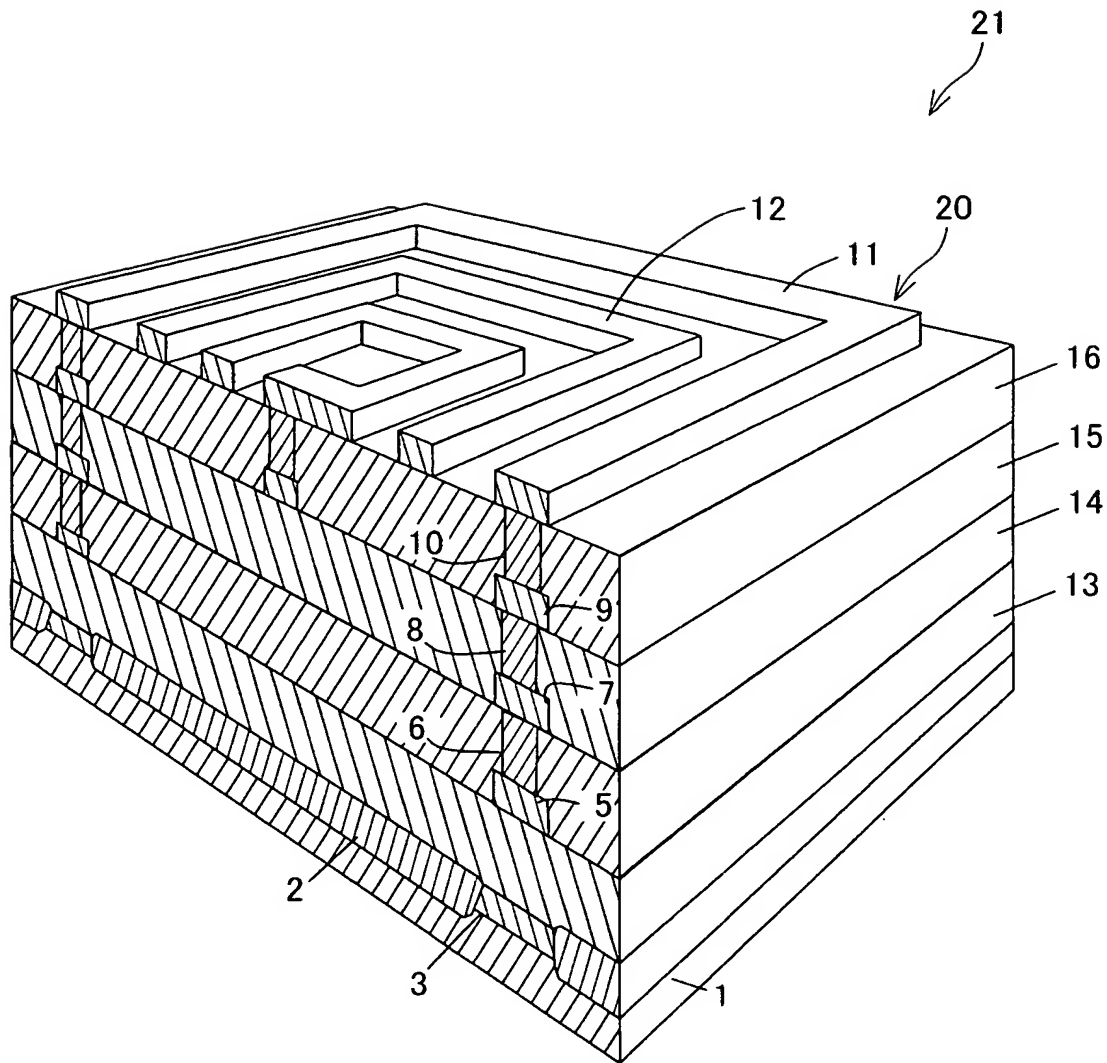
- 1 基板
- 2 素子分離領域
- 3 ガードリンク（第 1 拡散層）
- 5、7、9、11 金属配線層
- 6、8、10 ビア
- 12 スパイラルインダクタ（対象素子）
- 20 金属フェンス
- 21 集積回路
- 25 回路ブロック
- 30 Nウェル（第 2 拡散層）
- 40 低抵抗層
- 51 Nウェル
- 52 Pウェル

【書類名】 図面

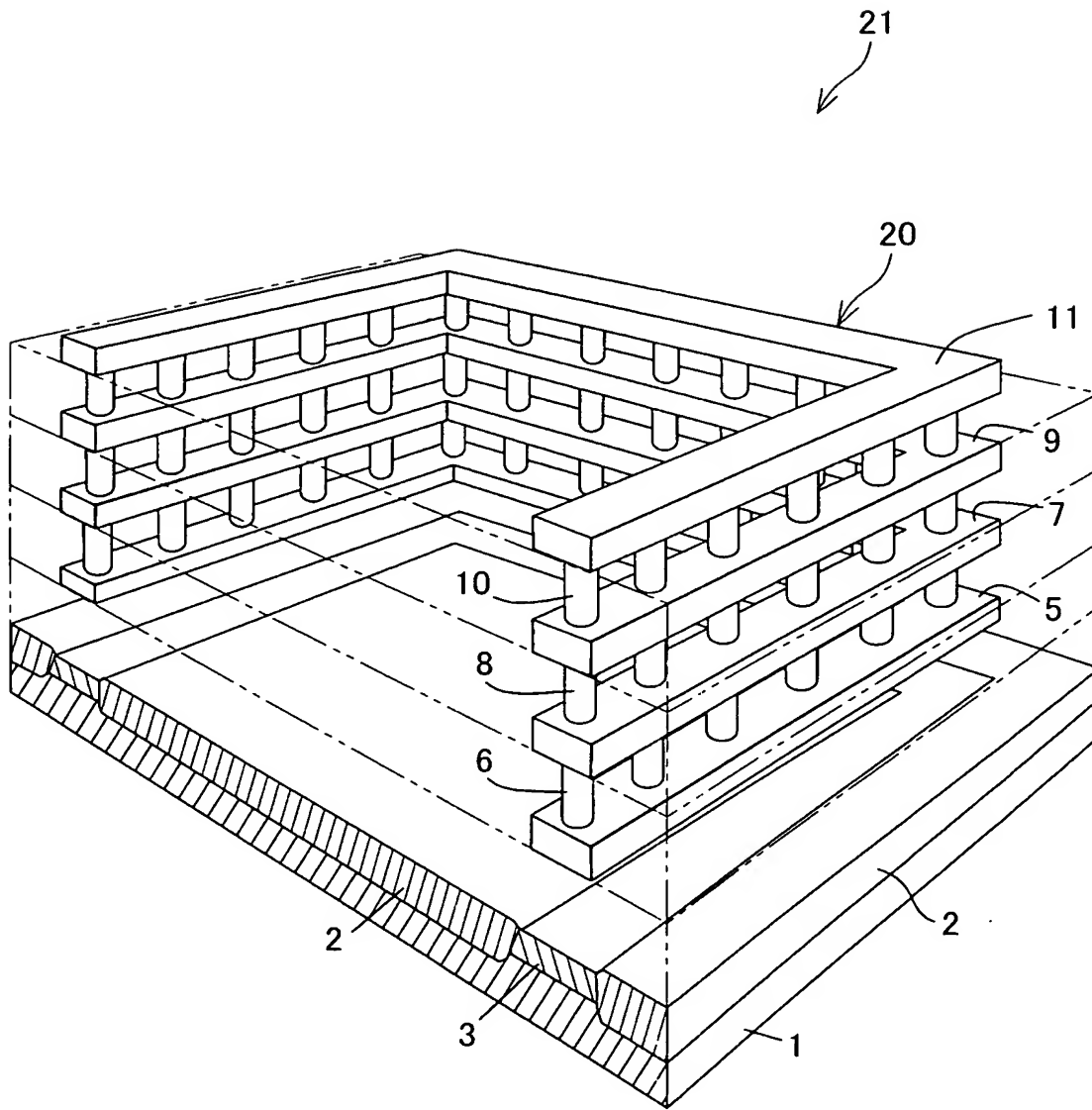
【図 1】



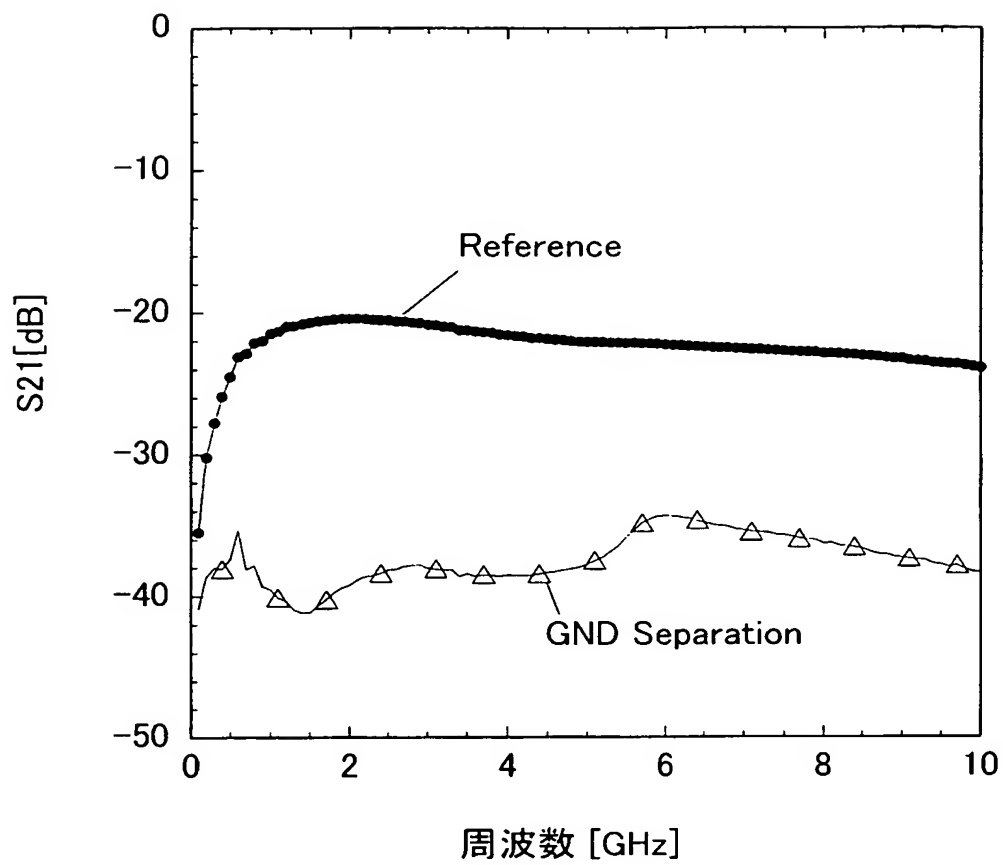
【図 2】



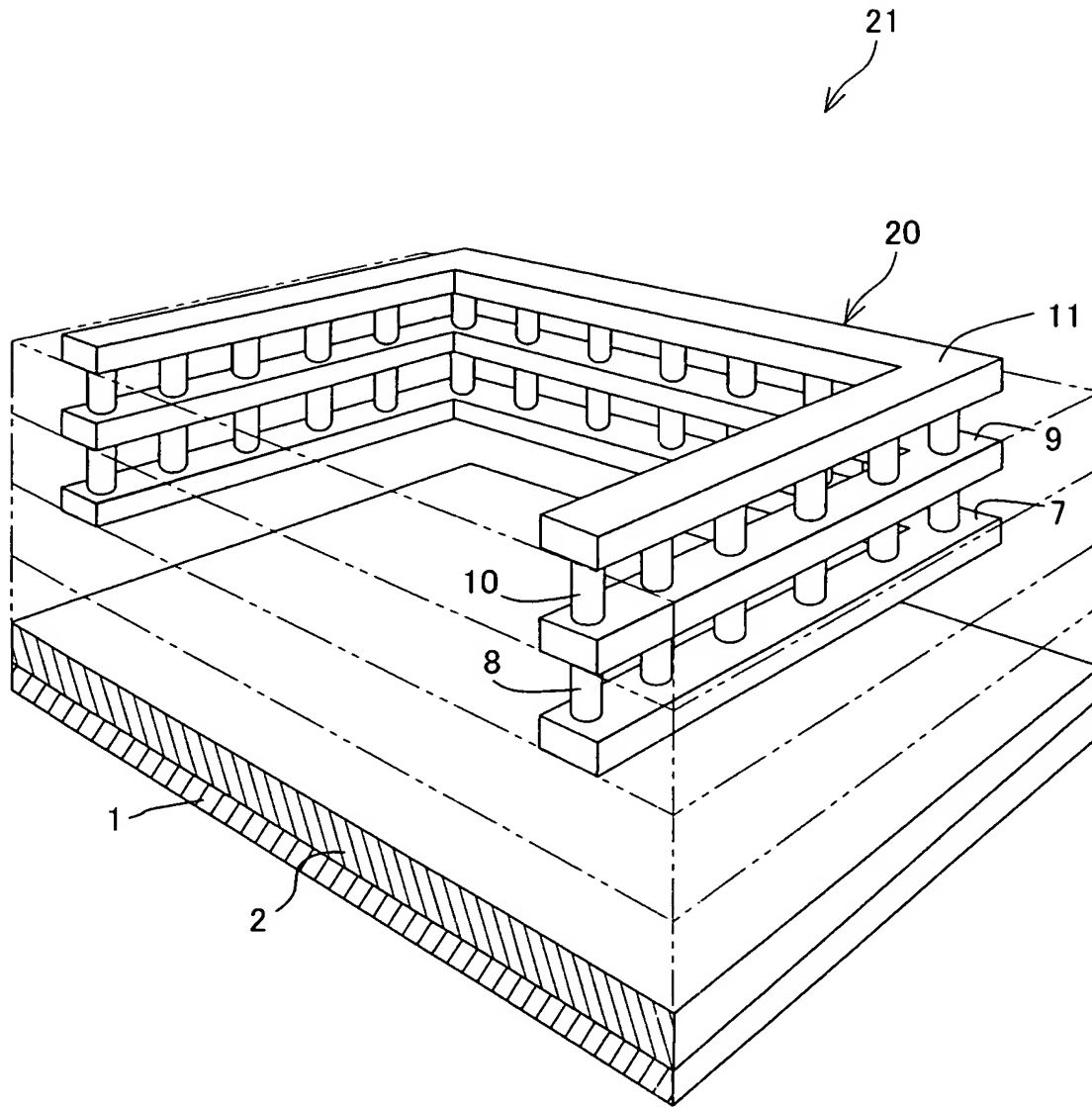
【図 3】



【図 4】



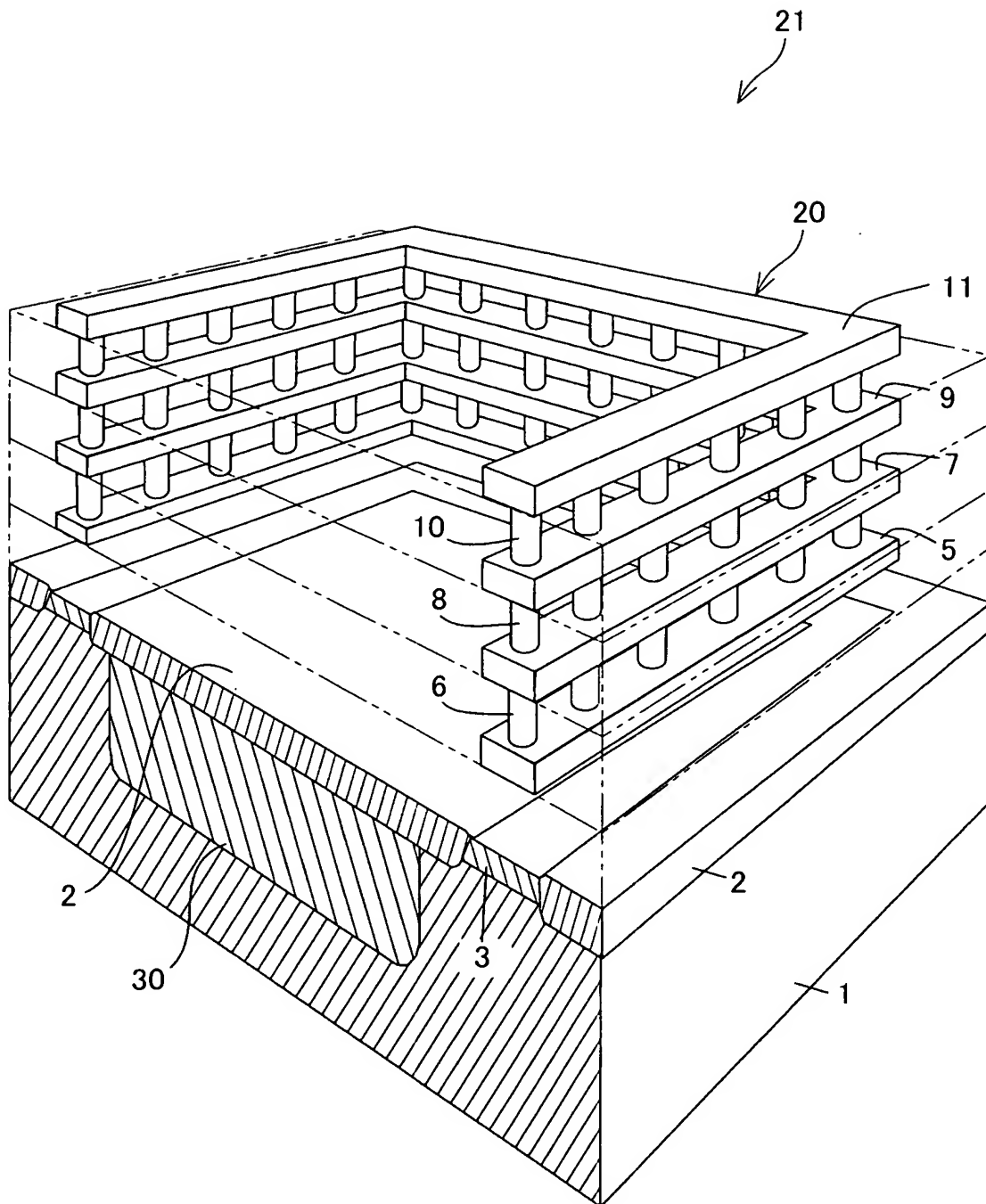
【図 5】



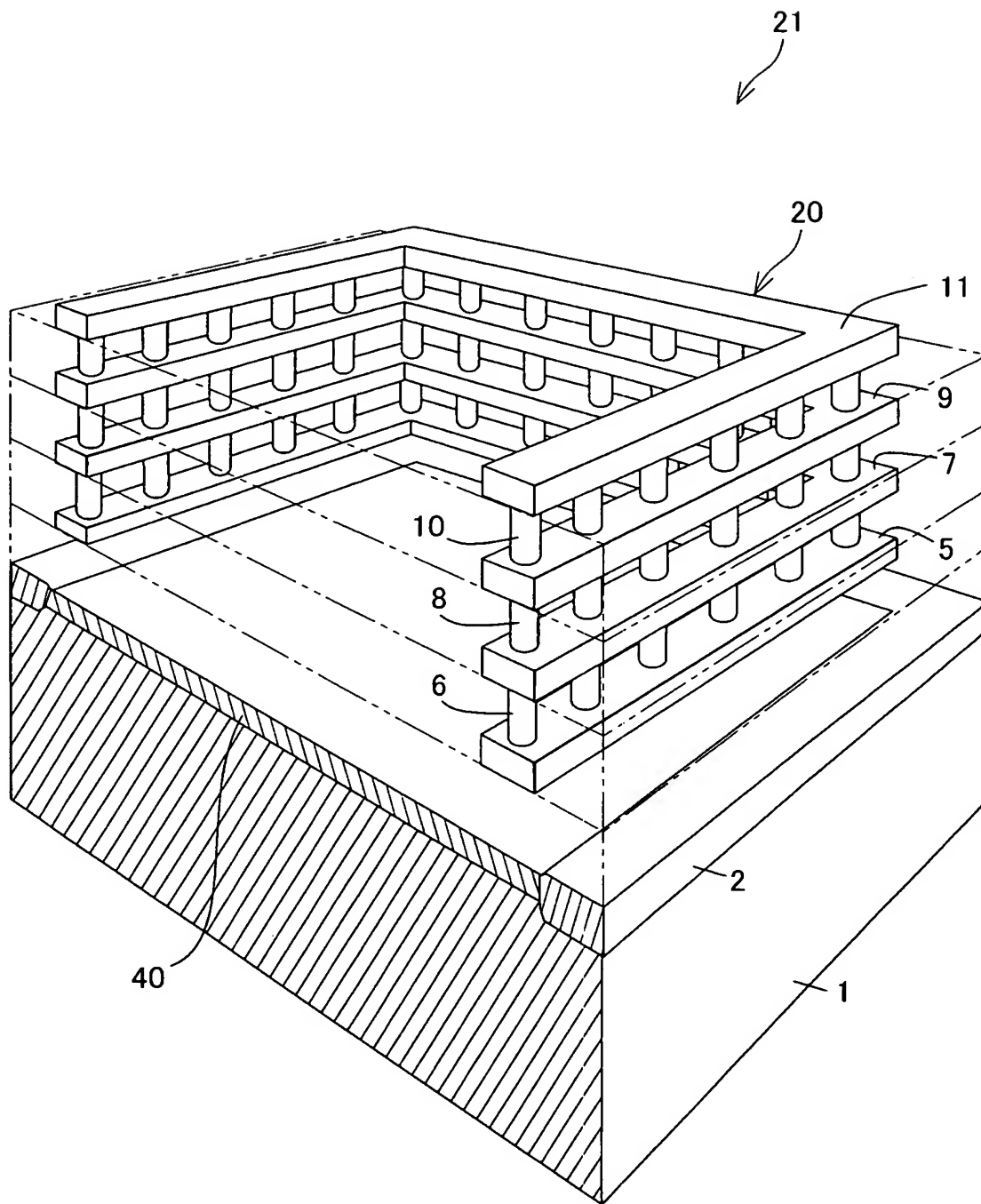
【図 6】

第 1 金属層	第 2 金属層	第 3 金属層	第 4 金属層	S21の最大値 [dB]
				-20
			○	-30
		○	○	-35
	○	○	○	-42
○	○	○	○	-42
◎				-24
◎	◎			-27
◎	◎	◎		-36

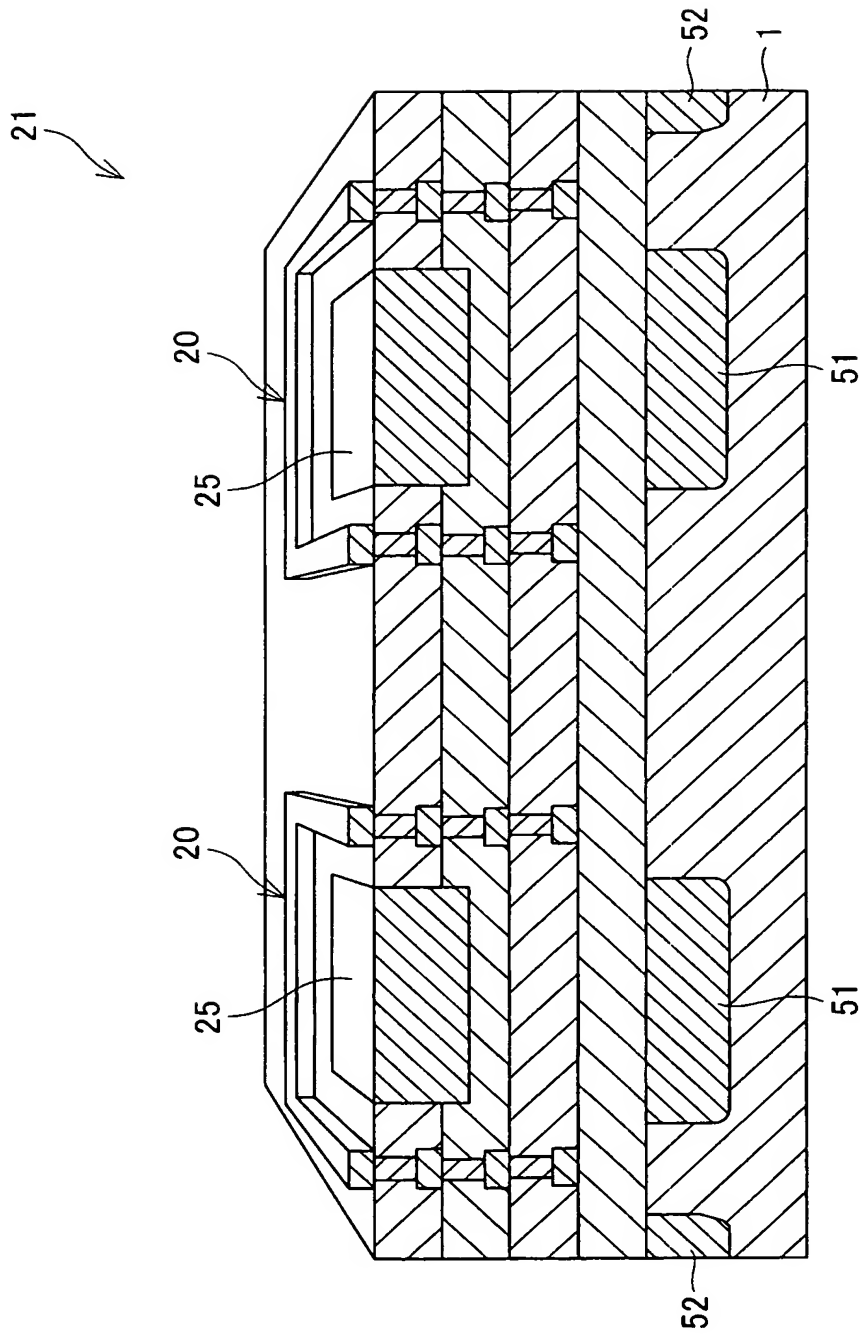
【図 7】



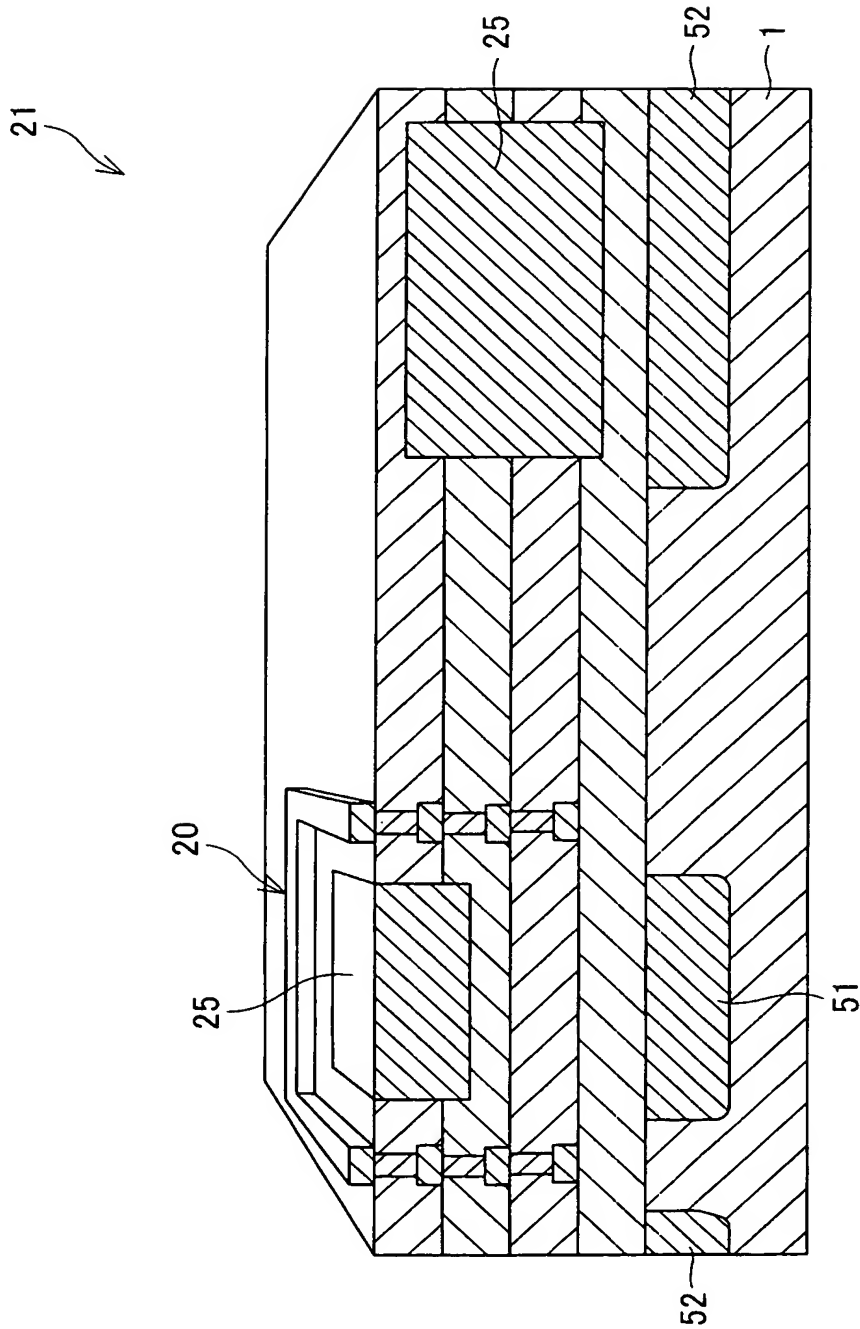
【図 8】



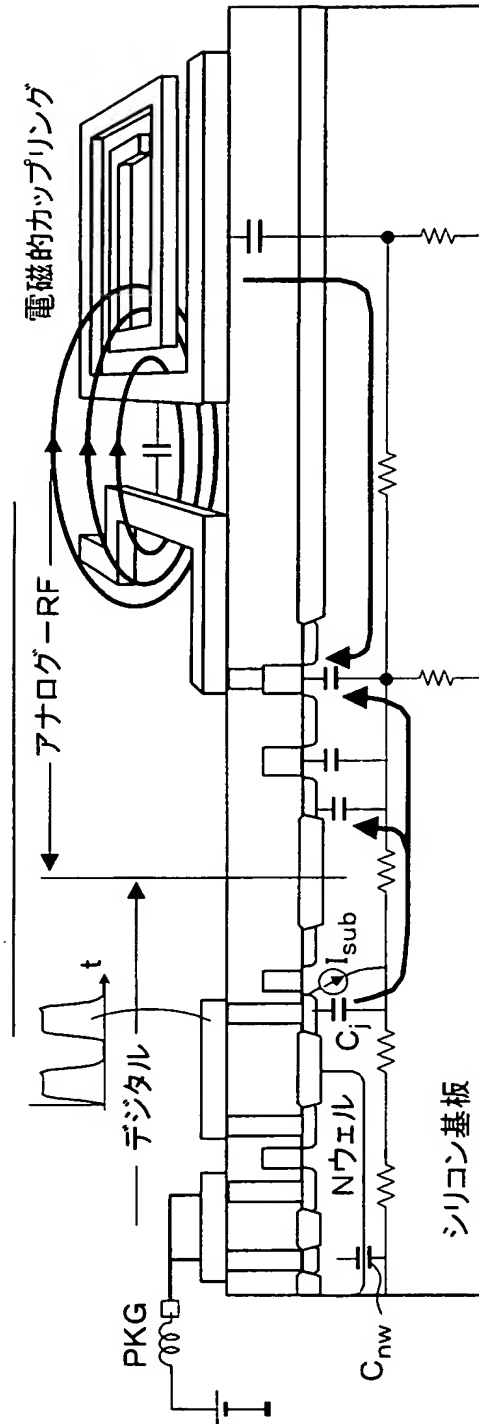
【図 9】



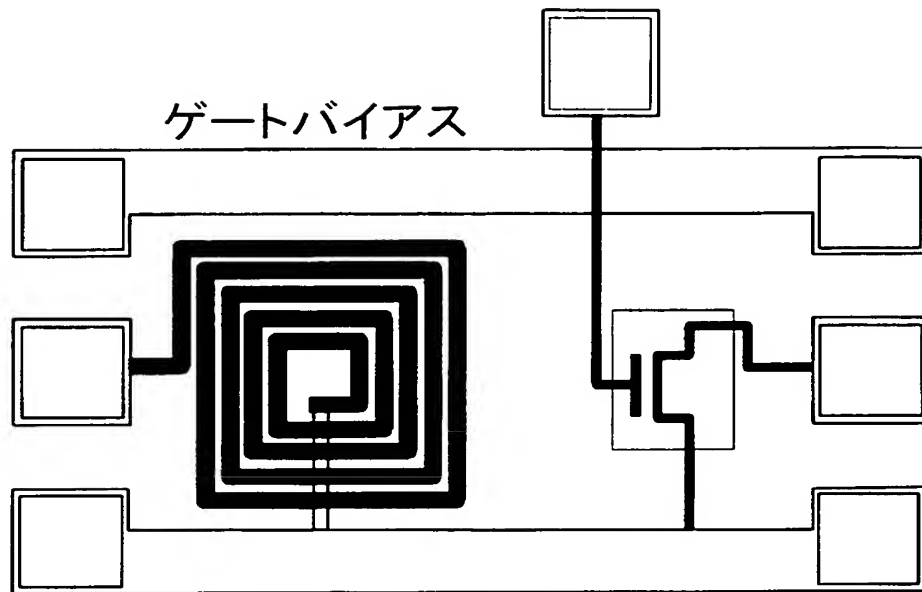
【図 10】



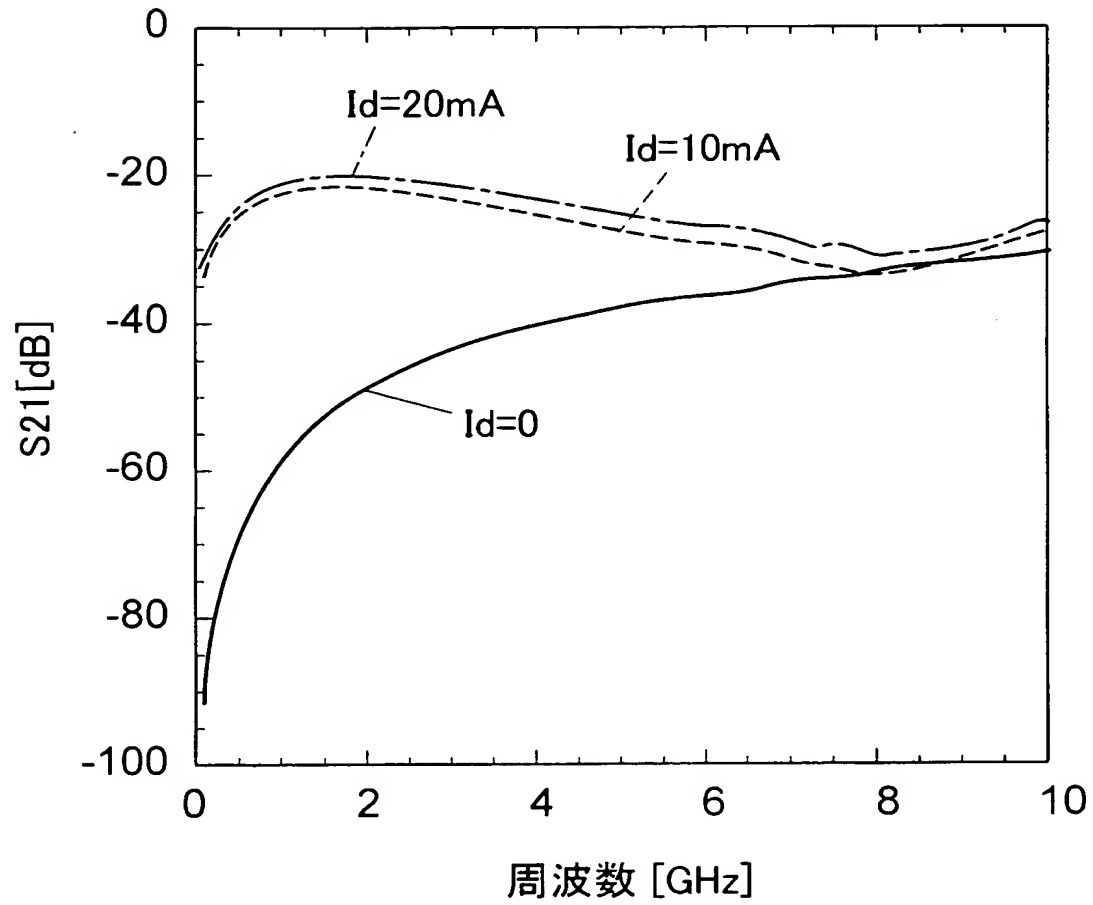
【図 11】



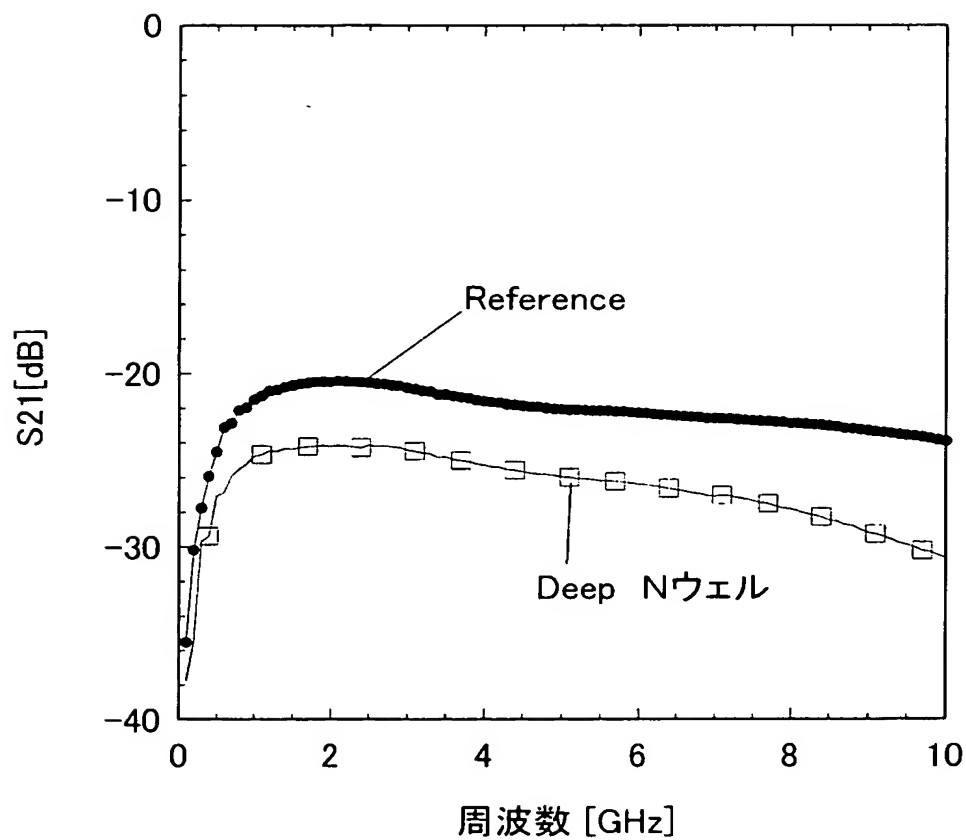
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 集積回路における、電磁的や基板を介するカップリングノイズを低減する。

【解決手段】 積層した金属配線層 5、7、9、11 が電磁アイソレーション構造を形成し、これらの金属配線層はビア 6、8、10 によって互いに接続され、それにより積層構造の金属フェンス 20 が形成されている。金属フェンス 20 は、集積回路内で電磁界を発生させるスパイラルインダクタ 12 等の素子を取り囲むように配置される。また、電磁波の $Skin\ depth$ を δ とし、 c を光速とし、集積回路 21 の動作周波数を f とし、金属フェンス領域の横方向寸法を d とし、金属フェンスの取り囲み線幅を WF とし、ビア間隔を L とし、信号の波長 $\lambda = c / f$ とするとき、 $d \leq \lambda / 8$ 、 $WF \geq 5 \delta$ 、 $L \leq \lambda / 20$ としている。

【選択図】 図 2

特願 2 0 0 3 - 1 0 2 1 1 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 0 4 9]

1 . 変更年月日 1 9 9 0 年 8 月 2 9 日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
氏 名 シャープ株式会社